

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245267

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H01L 21/205

H01L 21/316

H01L 29/78

(21)Application number : 06-034018

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.03.1994

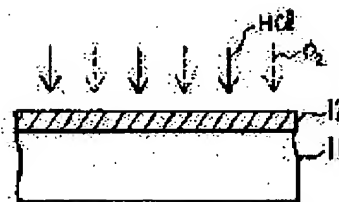
(72)Inventor : MEGURO TOSHITAKA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a method for manufacturing a semiconductor device where silicon oxide film formed by the chemical vapor growth method has improved characteristics and manufacturing yield improves.

CONSTITUTION: Silicon oxide film 12 is formed by the LPCVD method (Low pressure chemical vapor growth method) with TEOS (tetraethoxysilane) as a feed gas on Si substrate 11 and then the formed silicon oxide film 12 is heated for a specific amount of time in mixed gas atmosphere containing oxygen (O₂) and hydrogen chloride (HCl), thus increasing the film density of the silicon oxide film 12 due to the oxygen in atmosphere on heat treatment, decreasing porosity, and increasing dielectric constant. Also, the getter operation of chlorine eliminates movable ions such as Na ion intruding into the silicon oxide film 12 and metal impurity such as adsorbed copper and aluminum and hence improving the characteristics of the silicon oxide film 12 and the yield for manufacturing a semiconductor device.



LEGAL STATUS

[Date of request for examination] 28.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3247242

[Date of registration] 02.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-245267

(43)公開日 平成7年(1995)9月19日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/205				
21/316	P	7352-4M		
29/78		7514-4M	H 0 1 L 29/ 78	3 0 1 G
審査請求 未請求 請求項の数5 O L (全 7 頁)				

(21)出願番号 特願平6-34018

(22)出願日 平成6年(1994)3月4日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 目黒 寿孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

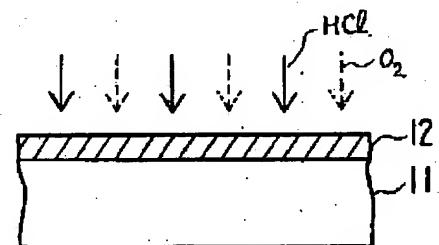
(74)代理人 弁理士 大胡 典夫

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 化学気相成長法によって形成されたシリコン酸化膜が良好な特性を有し、製造歩留が向上する半導体装置の製造方法を提供する。

【構成】 S i 基板 1 1 上に T E O S (テトラエトキシシラン) を原料ガスに用いた L P C V D 法 (減圧化学気相成長法) によってシリコン酸化膜 1 2 を成膜し、成膜されたシリコン酸化膜 1 2 を酸素 (O₂) 及び塩化水素 (H C l) を含む混合ガス雰囲気中で所定時間加熱処理することで、加熱処理時に雰囲気中の酸素によってシリコン酸化膜 1 2 は膜密度が高くなり、有孔率が下がり、誘電率が大きいものとなる。また同じく塩素のゲッター作用によってシリコン酸化膜 1 2 中に侵入している N a イオン等の可動イオンや、吸着している銅、アルミニウム等のメタル不純物などが除去される。その結果、シリコン酸化膜 1 2 の特性が良好なものとなり、半導体装置の製造歩留が向上する。



1 1 … S i 基板

1 2 … シリコン酸化膜

(2)

特開平 7-245267

1

2

【特許請求の範囲】

【請求項 1】 基板の表面に化学気相成長によってシリコン酸化膜を成膜する工程と、成膜されたシリコン酸化膜を酸素及び塩素を含む雰囲気中で所定時間加熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 酸素及び塩素を含む雰囲気、酸素と塩化水素及び不活性ガスの混合ガス、または酸素と塩素及び不活性ガスの混合ガスによりなるものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 シリコン基板上に化学気相成長によってシリコン酸化膜を成膜する工程と、前記シリコン酸化膜が成膜された前記シリコン基板を酸素と塩化水素を含む不活性ガスの混合ガス中で所定時間加熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 多結晶シリコン膜で形成された基板の表面に化学気相成長によってシリコン酸化膜を成膜する工程と、前記シリコン酸化膜が成膜された前記シリコン基板を酸素と塩化水素を含む不活性ガスの混合ガス中で所定時間加熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 加熱処理時の温度が、シリコン酸化膜を成膜する際の化学気相成長時の温度より高い温度であることを特徴とする請求項 1 及び請求項 3、請求項 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関する。

【0002】

【従来の技術】周知の通り、半導体装置を製造するにあたって、基板上へシリコン酸化膜を形成する方法には種々の形成方法がある。その中で、CVD（化学気相成長）時の低温度化、形成する膜の薄膜化等に対応して LPCVD 法（減圧化学気相成長法）により TEOS（テトラエトキシシラン）を原料ガスに用いてシリコン酸化膜を成膜する方法がある。そして、これで形成されるシリコン酸化膜を例えばゲート酸化膜や電極を被覆する後酸化膜等とした半導体装置の製造方法がある。

【0003】以下、従来の MOS トランジスタにおけるゲート部の形成方法を図 19 乃至図 21 を参照して説明する。なお、図 19 乃至図 21 は形成の各工程を示す断面図である。

【0004】先ず、図 19 に示す第 1 の工程で、Si 基板 1 の表面に TEOS を原料ガスに用いた 600～700℃の温度での LPCVD 法により、4～10nm の厚さに酸化シリコンを堆積するようにしてシリコン酸化膜 2 を成膜する。

【0005】続いて図 20 に示した第 2 の工程において、温度を 600～700℃に維持し、モノシラン（S

iH₄）を原料ガスとする LPCVD 法により、シリコン酸化膜 2 上に多結晶シリコンを厚さ 400nm となるように堆積させる。そして、堆積された多結晶シリコンに不純物としてりん（P）を約 900℃の温度で熱拡散し、多結晶シリコン膜 3 を形成する。

【0006】次に図 3 に示した第 3 の工程において、多結晶シリコン膜 3 上にフォトレジストを塗布し、写真蝕刻法を用いてパターニングしてフォトマスクを形成する。そして形成されたフォトマスクを用いたドライエッチング法により、多結晶シリコン膜 3 及びシリコン酸化膜 2 を Si 基板 1 が露出するまでエッチング加工する。その後、フォトレジストを除去することで Si 基板 1 上にはシリコン酸化膜 2 をゲート酸化膜とし、多結晶シリコン膜 3 をゲートとするゲート部 4 が形成される。

【0007】そして、上記のように例えば TEOS を用いた CVD によるシリコン酸化膜 2 でゲート部 4 を形成した場合に、成膜直後の I（電流）-V（電圧）特性で代表される耐圧リーク特性が、熱酸化法によるシリコン酸化膜に較べて不安定となる問題があった。

【0008】すなわち、成膜時の条件によって異なるとされている膜密度、有孔率に起因し、低膜密度や高有孔率状態になると低電界電流リークが大きくシリコン酸化膜 2 の絶縁性能が低くなり、さらに低温プロセス化や薄膜化によって、被堆積物である基板や気相成長装置等に吸着している銅、アルミニウム、鉄などのメタル不純物や、堆積プロセス中に侵入した Na イオンや Ca イオン等の可動イオンの不純物などの影響でピンホール欠陥を生じることがあった。

【0009】このため、CVD 法により成膜したシリコン酸化膜 2 をゲート部 4 に有する半導体装置では、その製造歩留が低いものとなっていた。

【0010】また、同様にしてメモリの電極を被覆する後酸化膜を形成した場合にも、可動イオンや水分の侵入が防止できないためにトランジスタのしきい値が変動するなどの悪影響が出てしまい、良好な特性を得ることができない状況にあった。

【0011】

【発明が解決しようとする課題】上記のようにシリコン酸化膜を化学気相成長法によって形成したものでは、このシリコン酸化膜の耐圧リーク特性が不安定である等のために半導体装置の製造歩留が低いものであった。このような状況に鑑みて本発明はなされたもので、その目的とするところは化学気相成長法によって形成したシリコン酸化膜が良好な特性を有し、製造歩留が向上した半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、基板の表面に化学気相成長によってシリコン酸化膜を成膜する工程と、成膜されたシリコン酸化膜を酸素及び塩素を含む雰囲気中で所定時間加熱処理する工

(3)

特開平7-245267

3

程とを有することを特徴とするものであり、さらに、酸素及び塩素を含む雰囲気、酸素と塩化水素及び不活性ガスの混合ガス、または酸素と塩素及び不活性ガスの混合ガスによりなるものであることを特徴とするものであり、また、シリコン基板上に化学気相成長によってシリコン酸化膜を成膜する工程と、シリコン酸化膜が成膜されたシリコン基板を酸素と塩化水素を含む不活性ガスの混合ガス中で所定時間加熱処理する工程とを有することを特徴とするものであり、また、多結晶シリコン膜で形成された基板の表面に化学気相成長によってシリコン酸化膜を成膜する工程と、シリコン酸化膜が成膜されたシリコン基板を酸素と塩化水素を含む不活性ガスの混合ガス中で所定時間加熱処理する工程とを有することを特徴とするものであり、さらに、加熱処理時の温度が、シリコン酸化膜を成膜する際の化学気相成長時の温度より高い温度であることを特徴とするものである。

【0013】

【作用】 上記のように構成された半導体装置の製造方法は、化学気相成長によってシリコン酸化膜を成膜し、成膜されたシリコン酸化膜を酸素及び塩素を含む雰囲気中で所定時間加熱処理するようにしている。このため、加熱処理時に雰囲気中の酸素によってシリコン酸化膜は膜密度が高くなり、有孔率が下がり、誘電率が大きいものとなる。また同じく塩素のゲッター作用によってシリコン酸化膜中に侵入している可動イオンや吸着しているメタル不純物などが除去される。その結果、シリコン酸化膜の特性が良好なものとなり、半導体装置の製造歩留が向上する。

【0014】

【実施例】 以下、本発明の実施例を図面を参照して説明する。まず、第1の実施例のMOSトランジスタにおける、本発明の要部であるゲート酸化膜の形成方法について図1乃至図4により説明する。なお、図1乃至図4は形成の各工程を示す断面図である。

【0015】 図1に示す第1の工程において、Si(100)基板11の平坦に仕上げられた表面に、CVD法(化学気相成長法)例えば温度を600~700℃の範囲内の例えば約600℃に維持し、圧力が0.4~0.8 Torrの条件のLPCVD法(減圧化学気相成長法)により、原料ガスのTEOS(テトラエトキシシラン)を50 sccm、窒素(N₂)を200 sccm流し、酸化シリコンが10 nmの厚さに堆積するようにしてシリコン酸化膜12を成膜する。

【0016】 続いて図2に示した第2の工程において、シリコン酸化膜12が成膜されたSi基板11を、CVDでの成膜時の温度より高い温度、例えば800℃に維持された酸素(O₂)と塩化水素(HCl)を含む窒素の混合ガス雰囲気内に入れる。そして約30分間加熱処理してシリコン酸化膜12の熱アニールを行う。

【0017】 次に図3に示した第3の工程において、温

4

度を600~630℃に維持し、圧力が0.4~0.8 Torrの条件のLPCVD法により、原料ガスのモノシラン(SiH₄)を100 sccm流してシリコン酸化膜12上に多結晶シリコンを厚さ400 nmとなるように堆積させる。そして、堆積された多結晶シリコンに不純物としてりん(P)を約900℃の温度で熱拡散し、多結晶シリコン膜13を形成する。

【0018】 次に図4に示した第4の工程において、多結晶シリコン膜13上にフォトレジストを塗布し、写真蝕刻法を用いてパターンニングしてフォトマスクを形成する。そして形成されたフォトマスクを用いたドライエッチング法により、多結晶シリコン膜13及びシリコン酸化膜12をSi基板11が露出するまでエッチング加工する。その後、フォトレジストを除去することでSi基板11上にはシリコン酸化膜12をゲート酸化膜とし、多結晶シリコン膜13をゲートとするゲート部14が形成される。

【0019】 このような工程を経て形成されたゲート部14のシリコン酸化膜12は、高温度の酸素と塩化水素を含む混合ガス中での熱アニールにより、酸素によって膜密度は高くなり、有孔率が下がり、誘電率が大きいものとなる。また塩化水素中の塩素のゲッター作用によってシリコン酸化膜12中に侵入しているナトリウム、カルシウム等の可動イオンや吸着している銅、アルミニウム、鉄等のメタル不純物などが除去される。

【0020】 その結果、ピンホールによる耐圧初期不良や、低膜密度、高有孔率に起因する低電界電流リークを低減させるられシリコン酸化膜12の絶縁性を向上させることができ、耐圧リーク特性の不安定性が解消する。そしてシリコン酸化膜12の特性が向上することでMOSトランジスタの製造歩留も向上したものとなる。

【0021】 なお、塩素のゲッター作用については800℃以下の温度でも可能であるが、酸素によって膜密度を高くする場合にはCVDによる成膜時の温度より高い温度が必要で、ゲッター作用と高膜密度化をそれぞれ異なる温度で行うようにしてもよいが、800℃以上の温度にすれば混合ガス中での熱アニールは一度に行うことができる。

【0022】 次に、第2の実施例である不揮発性メモリにおけるフローティングゲート上へのゲート酸化膜の形成方法について、図5乃至図13により説明する。なお、図5乃至図13は形成の各工程を示す断面図である。

【0023】 図5に示す第1の工程において、Si(100)基板21の平坦に仕上げられた表面に、約900℃の温度に加熱して行われる通常実施されている熱酸化法により、20 nmの厚さの第1のシリコン酸化膜22を成膜する。

【0024】 続いて図6に示す第2の工程において、第1のシリコン酸化膜22上にフォトレジストを塗布し、

(4)

特開平 7-245267

5

写真蝕刻法を用いてパターンニングしてフォトマスクを形成する。そして形成されたフォトマスクを用いたウェットエッチング法により、第1のシリコン酸化膜22をエッチング加工してSi基板21のメモリセル形成部側23の表面が露出するように加工し、その後、フォトレジストを除去する。なお、セレクトゲート形成部側24についてはSi基板21上に第1のシリコン酸化膜22を残しておく。

【0025】次に図7に示す第3の工程において、再度、約900℃の温度に加熱して行われる熱酸化法により、10nmの厚さの第2のシリコン酸化膜25を成膜する。これにより、第1のシリコン酸化膜22が除去されたSi基板21のメモリセル形成部側23の表面に、第2のシリコン酸化膜25による膜厚10nmのシリコン酸化膜が形成され、第1のシリコン酸化膜22が除去されなかったセレクトゲート形成部側24のSi基板21上に、第1のシリコン酸化膜22と第2のシリコン酸化膜25による膜厚30nmのシリコン酸化膜が形成される。

【0026】次に図8に示す第4の工程において、温度を600～630℃に維持し、圧力が0.4～0.8 Torrの条件のLPCVD法により、原料ガスのモノシランを100sccm流して第2のシリコン酸化膜25上に多結晶シリコンを厚さ200nmとなるように堆積させる。そして、堆積された多結晶シリコンに不純物としてりん(P)を約900℃の温度で熱拡散し、第1の多結晶シリコン膜26を形成する。

【0027】次に図9に示した第5の工程において、第1の多結晶シリコン膜26の表面に、温度を600～700℃の範囲内の例えば約600℃に維持し、圧力が0.4～0.8 Torrの条件のLPCVD法により、原料ガスのTEOSを50sccm、窒素を200sccm流し、酸化シリコンが10nmの厚さに堆積するようにして第3のシリコン酸化膜27を成膜する。

【0028】次に図10に示した第6の工程において、第3のシリコン酸化膜27が成膜されたSi基板21を、CVDでの成膜時の温度より高い温度、例えば800℃に維持された酸素と塩化水素を含む窒素の混合ガス雰囲気内に入れる。そして約30分間加熱処理して第3のシリコン酸化膜27の熱アニールを行う。

【0029】次に図11に示す第7の工程において、第3のシリコン酸化膜27上にフォトレジストを塗布し、写真蝕刻法を用いてパターンニングしてフォトマスクを形成する。そして形成されたフォトマスクを用いたウェットエッチング法により、第3のシリコン酸化膜27をエッチング加工して第1の多結晶シリコン膜26のセレクトゲート形成部側24の表面が露出するように加工し、その後、フォトレジストを除去する。

【0030】次に図12に示す第8の工程において、温度を600～630℃に維持し、圧力が0.4～0.8 Torrの条件のLPCVD法により、原料ガスのモノシランを100sccm流して第2のシリコン酸化膜25上に多結晶シリコンを厚さ200nmとなるように堆積させる。そして、堆積された多結晶シリコンに不純物としてりん(P)を約900℃の温度で熱拡散し、第1の多結晶シリコン膜26を形成する。

6

Torrの条件のLPCVD法により、原料ガスのモノシランを100sccm流して多結晶シリコンを厚さ400nmとなるように堆積させる。そして、堆積された多結晶シリコンに不純物としてりん(P)を約900℃の温度で熱拡散し、第2の多結晶シリコン膜28を形成する。

【0031】これにより、第3のシリコン酸化膜27が除去されたセレクトゲート形成部側24に第1の多結晶シリコン膜26と第2の多結晶シリコン膜28による膜厚600nmの多結晶シリコン膜が第2のシリコン酸化膜25上に形成される。なお、第3のシリコン酸化膜27が除去されなかったメモリセル形成部側23には、第3のシリコン酸化膜27上に膜厚400nmの第2の多結晶シリコン膜28が形成され、第2のシリコン酸化膜25と第3のシリコン酸化膜27との間に膜厚200nmの第1の多結晶シリコン膜26が挟まれた構成となる。

【0032】次に図13に示した第9の工程において、第2の多結晶シリコン膜28上にフォトレジストを塗布し、写真蝕刻法を用いてパターンニングしてフォトマスクを形成する。そして形成されたフォトマスクを用いたドライエッチング法により、第1及び第2の多結晶シリコン膜26、28と、第1及び第2さらに第3のシリコン酸化膜22、25、27をSi基板21が露出するまでエッチング加工する。その後、フォトレジストを除去することでSi基板21上には第1及び第2のシリコン酸化膜22、25をゲート酸化膜とし、第1及び第2の多結晶シリコン膜26、28をゲートとするセレクトゲート部29が形成される。また、第2のシリコン酸化膜25を第1のゲート酸化膜、第1の多結晶シリコン膜26をフローティングゲートとし、第3のシリコン酸化膜27を第2のゲート酸化膜、第2の多結晶シリコン膜28をゲートとするメモリセルのゲート部30が構成される。

【0033】このような工程を経て形成されたメモリセルのゲート部30の第3のシリコン酸化膜27は、高温度の酸素と塩化水素を含む混合ガス中での熱アニールにより、第1の実施例と同様に酸素によって膜密度が高く、有孔率が下がり、誘電率が大きいものとなる。また塩化水素中の塩素のゲッター作用によって第3のシリコン酸化膜27中に侵入しているナトリウム、カルシウム等の可動イオンや吸着している銅、アルミニウム、鉄等のメタル不純物などが除去される。

【0034】その結果、第1の実施例と同様にゲート部30の第3のシリコン酸化膜27について、その絶縁特性を向上させることができ、耐圧リーク特性の不安定性が解消する。そして第3のシリコン酸化膜27の特性が向上することで不揮発性メモリの製造歩留も向上したものとなる。

【0035】次に、第3の実施例であるMOSトランジ

(5)

特開平 7-245267

7

スタの多結晶シリコン電極を構成するゲートへの後酸化膜の形成方法について、図 14 乃至図 18 により説明する。なお、図 14 乃至図 18 は形成の各工程を示す断面図である。

【0036】図 14 に示す第 1 の工程において、Si (100) 基板 31 の平坦に仕上げられた表面に、約 900℃の温度に加熱して行われる通常実施されている熱酸化法により、20nm の厚さの第 1 のシリコン酸化膜 32 を成膜する。

【0037】続いて図 15 に示す第 2 の工程において、温度を 600～630℃に維持し、圧力が 0.4～0.8 Torr の条件の LPCVD 法により、原料ガスのモノシランを 100 sccm 流して Si 基板 31 上に多結晶シリコンを厚さ 400nm となるように堆積させる。そして、堆積された多結晶シリコンに不純物としてりん (P) を約 900℃の温度で熱拡散し、多結晶シリコン膜 33 を形成する。

【0038】次に図 16 に示した第 3 の工程において、多結晶シリコン膜 33 上にフォトレジストを塗布し、写真蝕刻法を用いてパターンニングしてフォトマスクを形成する。そして形成されたフォトマスクを用いたドライエッチング法により、多結晶シリコン膜 33 及び第 1 のシリコン酸化膜 32 を Si 基板 31 が露出するまでエッチング加工する。その後、フォトレジストを除去することで Si 基板 31 上に第 1 のシリコン酸化膜 32 をゲート酸化膜とし、多結晶シリコン膜 33 をゲートとするゲート部 34 が形成される。

【0039】次に図 17 に示した第 4 の工程において、ゲート部 34 及び露出した Si 基板 31 上に、温度を 600～700℃の範囲内の例えば約 600℃に維持し、圧力が 0.4～0.8 Torr の条件の LPCVD 法により、原料ガスの TEOS を 50 sccm、窒素を 200 sccm 流し、酸化シリコンが 20nm の厚さに堆積するようにして第 2 のシリコン酸化膜 35 を成膜する。

【0040】続いて図 18 に示した第 5 の工程において、第 2 のシリコン酸化膜 35 が成膜された Si 基板 31 を、CVD での成膜時の温度より高い温度、例えば 800℃に維持された酸素と塩化水素を含む窒素の混合ガス雰囲気内に入れる。そして約 30 分間加熱処理して第 2 のシリコン酸化膜 35 の熱アニールを行う。

【0041】このようにして多結晶シリコン膜 33 をゲートとするゲート部 34 に第 2 のシリコン酸化膜 35 による後酸化膜が形成される。

【0042】このような工程を経て形成されたゲート部 34 の後酸化膜としての第 2 のシリコン酸化膜 35 は、高温の酸素と塩化水素を含む混合ガス中での熱アニールにより、第 1 の実施例や第 2 の実施例と同様に酸素によって膜密度が高く、有孔率が下がり、誘電率が大きいものとなる。また塩化水素中の塩素のゲッター作用によって第 2 のシリコン酸化膜 35 中に侵入しているナトリ

8

ウム、カルシウム等の可動イオンや吸着している銅、アルミニウム、鉄等のメタル不純物などが除去される。

【0043】その結果、第 1 の実施例や第 2 の実施例と同様にゲート部 34 の第 2 のシリコン酸化膜 35 について、その絶縁特性を向上させることができ、耐圧リーク特性の不安定性が解消する。そして第 2 のシリコン酸化膜 35 の特性が向上することで、多結晶シリコン電極で構成するゲートに後酸化膜を有する MOS トランジスタの製造歩留も向上したものとなる。

【0044】尚、上記の各実施例においては、TEOS を原料ガスとした LPCVD 法により形成された各シリコン酸化膜 12, 27, 35 を塩化水素を含む混合ガス雰囲気中で加熱処理しているが、塩化水素に替えて同じゲッター作用が得られるガス、例えば塩素を用いても同様の効果が得られる。また、第 2 の実施例では第 1 及び第 2 のシリコン酸化膜 22, 25 を熱酸化法で形成したが、第 3 のシリコン酸化膜 27 と同様に TEOS を原料ガスとした LPCVD 法により形成し、その後、酸素と塩素を含むガス雰囲気中で加熱処理するようにして形成してもよい。さらに、第 3 の実施例では第 1 のシリコン酸化膜 32 を熱酸化法で形成したが、第 2 のシリコン酸化膜 35 と同様に TEOS を原料ガスとした LPCVD 法により形成し、その後、酸素と塩素を含むガス雰囲気中で加熱処理するようにして形成してもよい。

【0045】

【発明の効果】以上の説明から明らかなように本発明は、化学気相成長によってシリコン酸化膜を成膜し、成膜されたシリコン酸化膜を酸素及び塩素を含む雰囲気中で所定時間加熱処理する構成としたことにより、形成されたシリコン酸化膜の特性が良好なものとなり、製造歩留が向上する等の効果を奏する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例における第 1 の工程を示す断面図である。

【図 2】本発明の第 1 の実施例における第 2 の工程を示す断面図である。

【図 3】本発明の第 1 の実施例における第 3 の工程を示す断面図である。

【図 4】本発明の第 1 の実施例における第 4 の工程を示す断面図である。

【図 5】本発明の第 2 の実施例における第 1 の工程を示す断面図である。

【図 6】本発明の第 2 の実施例における第 2 の工程を示す断面図である。

【図 7】本発明の第 2 の実施例における第 3 の工程を示す断面図である。

【図 8】本発明の第 2 の実施例における第 4 の工程を示す断面図である。

【図 9】本発明の第 2 の実施例における第 5 の工程を示す断面図である。

(6)

特開平 7-245267

9

10

【図 10】本発明の第 2 の実施例における第 6 の工程を示す断面図である。

【図 11】本発明の第 2 の実施例における第 7 の工程を示す断面図である。

【図 12】本発明の第 2 の実施例における第 8 の工程を示す断面図である。

【図 13】本発明の第 2 の実施例における第 9 の工程を示す断面図である。

【図 14】本発明の第 3 の実施例における第 1 の工程を示す断面図である。

【図 15】本発明の第 3 の実施例における第 2 の工程を示す断面図である。

【図 16】本発明の第 3 の実施例における第 3 の工程を示す断面図である。

【図 17】本発明の第 3 の実施例における第 4 の工程を示す断面図である。

【図 18】本発明の第 3 の実施例における第 5 の工程を示す断面図である。

【図 19】従来例における第 1 の工程を示す断面図である。

【図 20】従来例における第 2 の工程を示す断面図である。

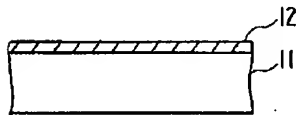
【図 21】従来例における第 3 の工程を示す断面図である。

【符号の説明】

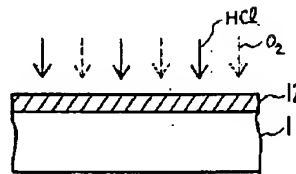
11…Si 基板

12…シリコン酸化膜

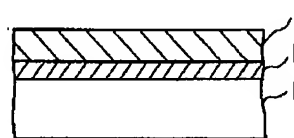
【図 1】



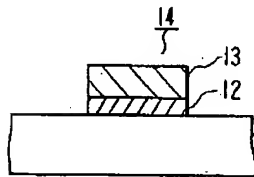
【図 2】



【図 3】



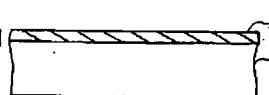
【図 4】



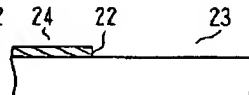
11…Si 基板

12…シリコン酸化膜

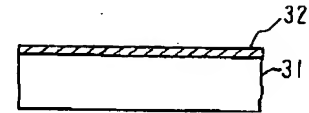
【図 5】



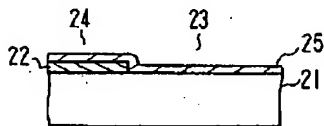
【図 6】



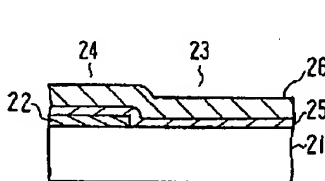
【図 14】



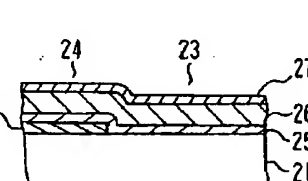
【図 7】



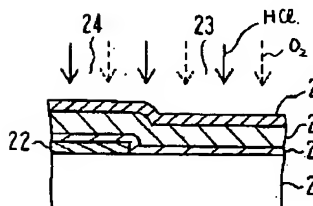
【図 8】



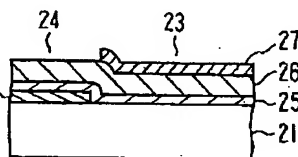
【図 9】



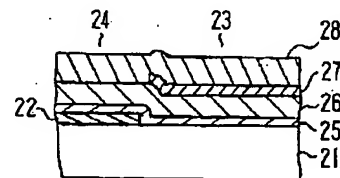
【図 10】



【図 11】



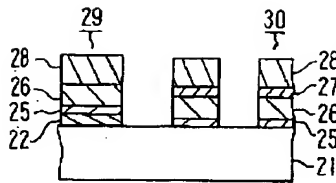
【図 12】



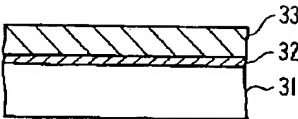
(7)

特開平 7 - 2 4 5 2 6 7

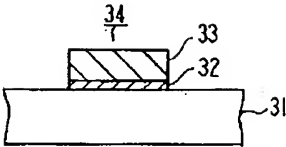
【図 13】



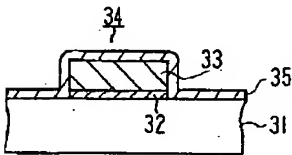
【図 15】



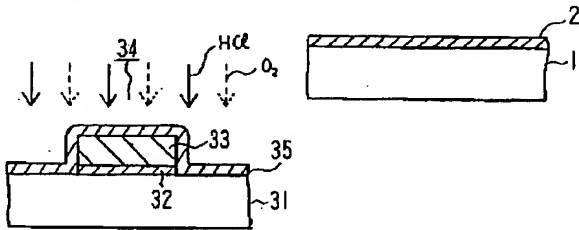
【図 16】



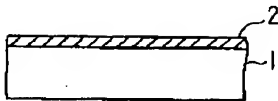
【図 17】



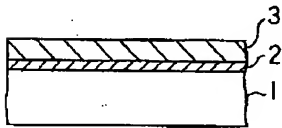
【図 18】



【図 19】



【図 20】



【図 21】

